



Customer No. 31561  
Application No.: 10/711,571  
Docket No. 13566-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Liu et al.  
Application No. : 10/711,571  
Filed : Sep 25, 2004  
For : ESD PREVENTING-ABLE LEVEL SHIFTERS  
Examiner : N/A  
Art Unit : 2811

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93118236,  
filed on: 2004/6/24.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 10, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

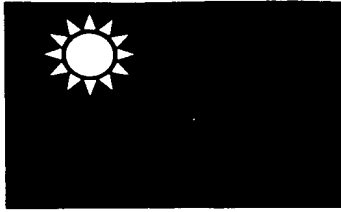
**7F-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申請 日：西元 2004 年 06 月 24 日  
Application Date

申請 案 號：093118236  
Application No.

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

申請 人：聯詠科技股份有限公司  
Applicant(s)

局 長  
Director General

**蔡 練 生**

發文日期：西元 2004 年 9 月  
Issue Date

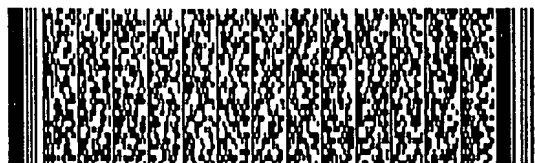
發文字號：09320881530  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	可防護靜電放電之準位移位電路
	英 文	ESD preventing-able level shifter
二、 發明人 (共3人)	姓 名 (中文)	1. 劉政樹 2. 廖矢誠
	姓 名 (英文)	1. LIU, JENG SHU 2. LIAO, SHYY-CHENG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣新豐鄉員山村7鄰建興路一段148號 2. 新竹市湳雅街357-22 號5F
	住居所 (英 文)	1. No. 148, Sec. 1, Jiansing Rd., Sinfong Township, Hsinchu County 304, Taiwan (R.O.C.) 2. 5F., No. 357-22, Nanya St., Hsinchu City 300, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯詠科技股份有限公司
	名稱或 姓 名 (英文)	1. NOVATEK MICROELECTRONICS CORP.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹縣創新一路13號2樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 2F., NO. 13, INNOVATION ROAD I, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代表人 (中文)	1. 何泰舜
	代表人 (英文)	1. HO, TAI SHUNG



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	3. 張智毅
	姓 名 (英文)	3. CHANG, CHYH-YIH
	國 籍 (中英文)	3. 中華民國 TW
	住居所 (中 文)	3. 台北縣新莊市中和街125巷20號9樓
	住居所 (英 文)	3. 9F., NO. 20, LANE 125, JHONGHE ST., SINJHUANG CITY, TAIPEI COUNTY 242, TAIWAN (R. O. C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	

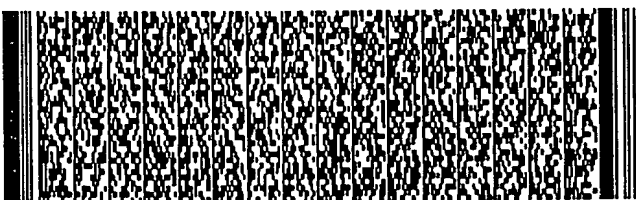


四、中文發明摘要 (發明名稱：可防護靜電放電之準位移位電路)

一種可防護靜電放電之準位移位電路，以接收第一訊號並輸出第二訊號。準位移位電路包括反相器、電壓轉換電路、第一以及第二靜電放電鉗位電路。反相器接收第一訊號並輸出第一反相訊號。電壓轉換電路之第一輸入端接收第一反相訊號，其第二輸入端接收第一訊號，而輸出端輸出第二訊號。第一靜電放電鉗位(ESD clamp)電路之第一連接端耦接至電壓轉換電路之第一輸入端，其第二連接端則耦接至第二接地電壓。第二靜電放電鉗位電路之第一連接端耦接至電壓轉換電路之第二輸入端，其第二連接端則耦接至第二接地電壓。

五、英文發明摘要 (發明名稱：ESD preventing-able level shifter)

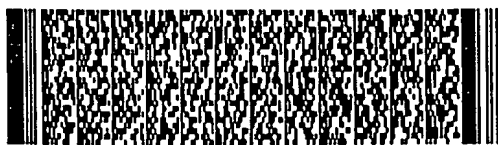
An ESD preventing-able level shifter receiving a first signal and outputting a second signal is provided. The ESD preventing-able level shifter includes an inverter, a voltage level shifting circuit, a first ESD clamper and a second ESD clamper. The inverter receives the first signal and outputs a first inverted signal. A first input terminal of the voltage level shifting circuit



四、中文發明摘要 (發明名稱：可防護靜電放電之準位移位電路)

五、英文發明摘要 (發明名稱：ESD preventing-able level shifter)

receives the first inverted signal, a second input terminal of the voltage level shifting circuit receives the first signal and an output terminal of the voltage level shifting circuit outputs the second signal. A first connecting terminal of the first ESD clamper is coupled to the first input terminal of the voltage level shifting circuit; a second connecting terminal of the first ESD



四、中文發明摘要 (發明名稱：可防護靜電放電之準位移位電路)

五、英文發明摘要 (發明名稱：ESD preventing-able level shifter)

clamper is coupled to a second ground voltage. A first connecting terminal of the second ESD clamper is coupled to the second input terminal of the voltage level shifting circuit; a second connecting terminal of the second ESD clamper is coupled to a second ground voltage.



六、指定代表圖

(一)、本案代表圖為：圖2

(二)、本案代表圖之元件代表符號簡單說明：

210、230：內部電路

220：本發明實施例之可防護靜電放電之準位移位電  
路

240：反相器

250：電壓轉換電路

260、270：靜電放電鉗位電路

211：第一訊號

2311：第二訊號

241：第一反相訊號





一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

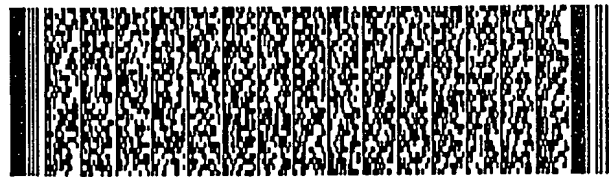
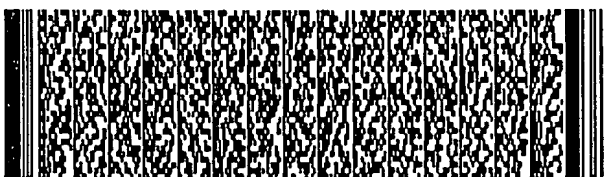
### 【發明所屬之技術領域】

本發明是有關於一種靜電放電保護電路，且特別是有關於一種準位移位電路之靜電放電保護電路。

### 【先前技術】

在多電源之積體電路(mixed-voltage IC)中，具有不同電壓準位之系統電壓以分別供應不同之內部電路，如圖1A所示。圖1A是一般多電源積體電路之部份電路方塊圖。圖中內部電路110之操作電力係由系統電壓VDD1（例如3.3伏特）與接地電壓VSS1（例如0伏特）所提供。另外，內部電路130之操作電力則由系統電壓VDD2（例如12伏特）與接地電壓VSS2（例如0伏特）所提供。由於內部電路110與內部電路130之輸出入邏輯準位並不相同，因此需要準位移位電路(level shifter)作為二者之介面電路。例如，準位移位電路120接收內部電路110所輸出之訊號111（例如0 ~ 3.3伏特）並轉換為對應之訊號131（例如0 ~ 12伏特）後輸出至內部電路130。

當於多電源積體電路之連接端發生靜電放電(ESD, electrostatic discharge)時，此瞬間之靜電放電電流將沿著積體電路內低阻路徑(low impedance path)大量通過。大量之靜電放電電流將產生高熱進而燒毀(damage)路徑中之任何元件。圖1B是繪示圖1A中準位移位電路120之電路暨靜電放電路徑圖。例如，如圖1B所示，當靜電放電事件係發生在接地電壓VSS2連接端時，若系統電壓VDD1接地，則靜電放電電流ESD將自接地電壓線VSS2穿過電晶體

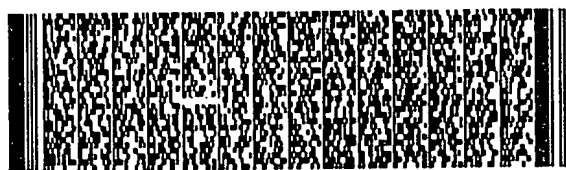
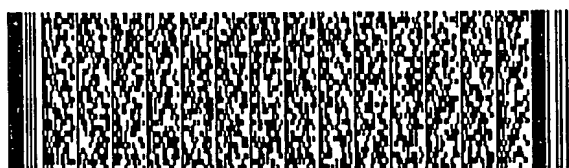


## 五、發明說明 (2)

121之閘極電容而流至系統電壓線VDD1 (如圖中虛線ESD1所示之電流路徑)。或者,若接地電壓線VSS1接地,則靜電放電電流ESD將自接地電壓線VSS2穿過電晶體121之閘極電容而流至接地電壓線VSS1 (如圖中虛線ESD2所示之電流路徑)。因此電晶體121將可能燒毀(同理,電晶體122亦可能燒毀)。

上述元件燒毀之主要原因是因為接地電壓線VSS1與接地電壓線VSS2之間並未連接。因此靜電放電電流ESD將無法自接地電壓線VSS1導接至接地電壓線VSS2,而只能經由矽基體。若基體阻抗不夠小,則靜電放電電流ESD可能燒毀電晶體121。因為靜電放電之瞬間特性,閘極電容之阻抗在靜電放電條件下係小於在正常操作下之阻抗。

圖1C是繪示圖1A中另一準位移位電路120之電路暨靜電放電路徑圖。如圖1C所示,一般靜電放電發生在系統電壓線VDD2之嚴重性更甚於發生在接地電壓線VSS2上,其原因在於接地電壓線VSS2依然有基體作為與接地電壓線VSS1之間的連接路徑,而在N井中則沒有放電路徑以助電荷平衡。因此,例如當靜電放電事件係發生在系統電壓線VDD2連接端時,若系統電壓VDD1接地,則靜電放電電流ESD將自系統電壓線VDD2穿過電晶體123之閘極電容而流至系統電壓線VDD1 (如圖1C中虛線ESD1所示之電流路徑)。或者,若接地電壓線VSS1接地,則靜電放電電流ESD將自系統電壓線VDD2穿過電晶體123之閘極電容而流至接地電壓線VSS1 (如圖1C中虛線ESD2所示之電流路徑)。因此電晶



### 五、發明說明 (3)

體123將可能燒毀(同理，電晶體124亦可能燒毀)。

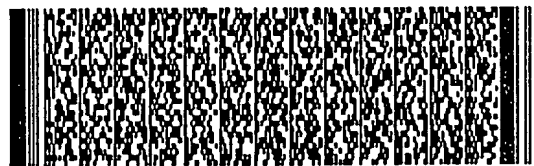
#### 【發明內容】

本發明的目的就是在提供一種可防護靜電放電之準位移位電路，以防止當靜電放電電流自多組電源中其中一組電源連街點流向另一組電源連接點時所可能造成準位移位電路之燒毀。

本發明的再一目的是提供另一種可防護靜電放電之準位移位電路，以另一靜電放電路徑保護準位移位電路以避免燒毀。

本發明的又一目的是提供再一種可防護靜電放電之準位移位電路，更以另一靜電放電路徑耦接於不同電源組之間，以避免靜電放電電流燒毀準位移位電路。

本發明提出一種可防護靜電放電之準位移位電路。此準位移位電路接收並依照第一訊號之準位輸出具有相對應準位之第二訊號，其中第一訊號係操作於第一系統電壓與第一接地電壓之間，以及第二訊號係操作於第二系統電壓與第二接地電壓之間。準位移位電路包括反相器、電壓轉換電路、第一靜電放電鉗位電路以及第二靜電放電鉗位電路。反相器接收第一訊號並輸出第一反相訊號，其中第一反相訊號係與第一訊號互為反相且操作於第一系統電壓與第一接地電壓之間。電壓轉換電路之第一輸入端接收第一反相訊號，其第二輸入端接收第一訊號，而輸出端輸出第二訊號。第一靜電放電鉗位(ESD clamp)電路之第一連接端耦接至電壓轉換電路之第一輸入端，其第二連接端則耦



#### 五、發明說明 (4)

接至第二接地電壓。第二靜電放電鉗位電路之第一連接端耦接至電壓轉換電路之第二輸入端，其第二連接端則耦接至第二接地電壓。

本發明提出另一種可防護靜電放電之準位移位電路。此準位移位電路接收並依照第一訊號之準位輸出具有相對應準位之第二訊號，其中第一訊號係操作於第一系統電壓與第一接地電壓之間，以及第二訊號係操作於第二系統電壓與第二接地電壓之間。準位移位電路包括反相器、電壓轉換電路、第一靜電放電鉗位電路以及第二靜電放電鉗位電路。反相器接收第一訊號並輸出第一反相訊號，其中第一反相訊號係與第一訊號互為反相且操作於第一系統電壓與第一接地電壓之間。電壓轉換電路之第一輸入端接收第一反相訊號，其第二輸入端接收第一訊號，而輸出端輸出第二訊號。第一靜電放電鉗位電路之第一連接端耦接至第二系統電壓，其第二連接端耦接至電壓轉換電路之第一輸入端。第二靜電放電鉗位電路之第一連接端耦接至第二系統電壓，其第二連接端耦接至電壓轉換電路之第一輸入端。

本發明再提出一種可防護靜電放電之準位移位電路。此準位移位電路接收並依照第一訊號之準位輸出具有相對應準位之第二訊號，其中第一訊號係操作於第一系統電壓與第一接地電壓之間，以及第二訊號係操作於第二系統電壓與第二接地電壓之間。此準位移位電路包括反相器、電壓轉換電路以及靜電放電鉗位電路。反相器接收第一訊號



## 五、發明說明 (5)

並輸出第一反相訊號，其中第一反相訊號係與第一訊號互為反相且操作於第一系統電壓與第一接地電壓之間。電壓轉換電路之第一輸入端接收第一反相訊號，其第二輸入端接收第一訊號，而輸出端輸出第二訊號。靜電放電鉗位電路之第一連接端耦接至第二系統電壓，其第二連接端耦接至第一接地電壓。

依照本發明的較佳實施例所述可防護靜電放電之準位移位電路，上述之靜電放電鉗位電路例如包括N型電晶體。此N型電晶體之汲極耦接至電壓轉換電路之第一輸入端，閘極、源極以及基體皆耦接至第二接地電壓。或是，靜電放電鉗位電路例如包括二極體，其中二極體之陰極耦接至電壓轉換電路之第一輸入端，其陽極耦接至第二接地電壓。

本發明因使用靜電放電鉗位電路，因此可以提供電流路徑以導接瞬間大量之靜電放電電流於不同電源組之間，進而避免燒毀積體電路之內部電路(尤其是準位移位電路)。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

### 【實施方式】

圖2A是依照本發明一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。請參照圖2A，準位移位電路220接收積體電路中內部電路210所輸出之第一訊號211，



##### 五、發明說明 (6)

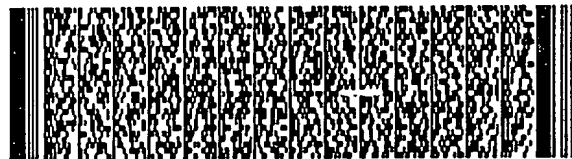
並且依照第一訊號211之準位輸出具有相對應準位之第二訊號231(由積體電路中內部電路230所接收)。其中，第一訊號211係操作於第一系統電壓VDD1(在此假設為3.3伏特)與第一接地電壓VSS1(在此假設為0伏特)之間，並且第二訊號231係操作於第二系統電壓VDD2(在此假設為12伏特)與第二接地電壓VSS2(在此假設為0伏特)之間。

於本實施例中，準位移位電路220包括反相器240、電壓轉換電路250、第一靜電放電鉗位(ESD clamp)電路260以及第二靜電放電鉗位電路270。反相器240接收第一訊號211並輸出第一反相訊號241。其中，第一反相訊號241係與第一訊號211互為反相，並且第一反相訊號241係操作於第一系統電壓VDD1與第一接地電壓VSS1之間。

在此反相器240例如包括P型電晶體242以及N型電晶體244。電晶體242之源極耦接至第一系統電壓VDD1，電晶體242之閘極接收第一訊號211，電晶體242之汲極輸出第一反相訊號241。電晶體244之閘極接收第一訊號211，其汲極耦接至電晶體242之汲極，而電晶體244之源極耦接至第一接地電壓VSS1。

電壓轉換電路250之第一輸入端接收第一反相訊號241，其第二輸入端接收第一訊號211。電壓轉換電路250之輸出端輸出第二訊號231。在此電壓轉換電路例如包括P型電晶體T1、T3、N型電晶體T2以及T4。

第一電晶體T1之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2。第二電晶體T2之閘極接收第一反

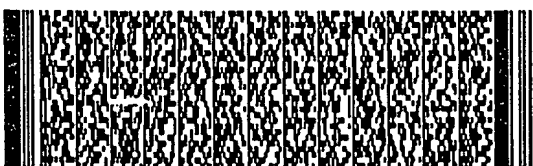


##### 五、發明說明 (7)

相訊號241，其第一源/汲極(以下例如稱之為汲極)耦接電晶體T1之第二源/汲極(以下例如稱之為汲極)。電晶體T2之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。第三電晶體T3之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2，其第二源/汲極(以下例如稱之為汲極)耦接電晶體T1之閘極，並且電晶體T3之閘極耦接電晶體T1之汲極。第四電晶體T4之閘極接收第一訊號211，電晶體T4之第一源/汲極(以下例如稱之為汲極)耦接電晶體T3之汲極，電晶體T4之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。其中電晶體T4之汲極訊號即為第二訊號231。

第一靜電放電鉗位電路260之第一連接端耦接至電壓轉換電路250之第一輸入端，第一靜電放電鉗位電路260之第二連接端則耦接至第二接地電壓VSS2。第二靜電放電鉗位電路270之第一連接端耦接至電壓轉換電路250之第二輸入端，而第二靜電放電鉗位電路270之第二連接端則耦接至第二接地電壓VSS2。

於本實施例中，第一靜電放電鉗位電路260例如包括N型電晶體。其中，N型電晶體之汲極耦接至電壓轉換電路250之第一輸入端，而N型電晶體之閘極、源極以及基體皆耦接至第二接地電壓VSS2。或者，如熟習此藝者所知，第一靜電放電鉗位電路260亦可以二極體或其他方式實施之，其結果均屬本發明之範疇。圖2B是依照本發明較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。



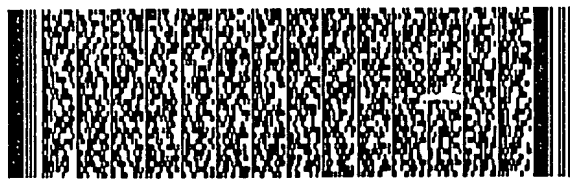


## 五、發明說明 (8)

請參照圖2B，若是以二極體完成第一靜電放電鉗位電路260，則二極體之陰極耦接至電壓轉換電路250之第一輸入端，而二極體之陽極則耦接至第二接地電壓VSS2。於本實施例中，第二靜電放電鉗位電路270之實施係比照第一靜電放電鉗位電路260，故不在此贅述。

因此，當靜電放電事件發生在接地電壓VSS2連接端時，若系統電壓VDD1接地，則靜電放電電流ESD將自接地電壓線VSS2經由第一靜電放電鉗位電路260、電晶體242而流至系統電壓線VDD1。或者，若接地電壓線VSS1接地，則靜電放電電流ESD將自接地電壓線VSS2經由第一靜電放電鉗位電路260、電晶體244而流至接地電壓線VSS1。因此即可避免燒毀準位移位電路220。

為能清楚說明本發明，以下另舉一實施例。圖3A是依照本發明另一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。請參照圖3A，準位移位電路350接收積體電路中內部電路310所輸出之第一訊號311，並且依照第一訊號311之準位輸出具有相對應準位之第二訊號331(由積體電路中內部電路330所接收)。其中，第一訊號311係操作於第一系統電壓VDD1(在此假設為3.3伏特)與第一接地電壓VSS1(在此假設為0伏特)之間，並且第二訊號231係操作於第二系統電壓VDD2(在此假設為12伏特)與第二接地電壓VSS2(在此假設為0伏特)之間。準位移位電路320包括反相器340、電壓轉換電路350、第一靜電放電鉗位電路360以及第二靜電放電鉗位電路370。



## 五、發明說明 (9)

反相器340接收第一訊號311並輸出第一反相訊號341。其中，第一反相訊號341係與第一訊號311互為反相，並且操作於第一系統電壓VDD1與第一接地電壓VSS1之間。於本實施例中，反相器340例如包括P型電晶體342以及N型電晶體344。電晶體342之源極耦接至第一系統電壓VDD1，電晶體342之閘極接收第一訊號311，電晶體342之汲極輸出第一反相訊號341。電晶體344之閘極接收第一訊號311，電晶體344之汲極耦接至電晶體342之汲極，電晶體344之源極耦接至第一接地電壓VSS1。

電壓轉換電路350之第一輸入端接收第一反相訊號341，電壓轉換電路350之第二輸入端接收第一訊號311，電壓轉換電路350之輸出端輸出第二訊號331。第一靜電放電鉗位電路360之第一連接端耦接至第二系統電壓VDD2，第一靜電放電鉗位電路360之第二連接端耦接至電壓轉換電路350之第一輸入端。第二靜電放電鉗位電路370之第一連接端耦接至第二系統電壓VDD2，第二靜電放電鉗位電路370之第二連接端耦接至電壓轉換電路350之第一輸入端。

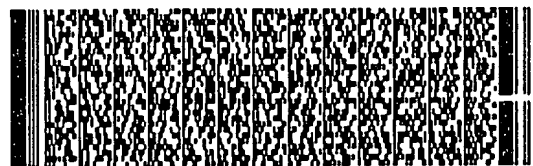
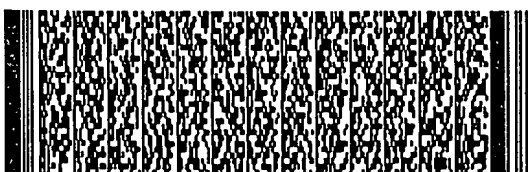
於本實施例中，電壓轉換電路350例如包括P型電晶體T1、T2、T4、T5、N型電晶體T3以及T6。第一電晶體T1之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2。第二電晶體T2之閘極接收第一反相訊號341，電晶體T2之第一源/汲極(以下例如稱之為源極)耦接電晶體T1之第二源/汲極(以下例如稱之為汲極)。第三電晶體T3之閘極接收第一反相訊號341，電晶體T3之第一源/汲極(以



##### 五、發明說明 (10)

下例如稱之為汲極)耦接電晶體T2之第二源/汲極(以下例如稱之為汲極)，電晶體T3之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。第四電晶體T4之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2，電晶體T4之閘極耦接電晶體T2之汲極。第五電晶體T5之閘極接收第一訊號311，電晶體T5之第一源/汲極(以下例如稱之為源極)耦接電晶體T4之第二源/汲極(以下例如稱之為汲極)，電晶體T5之第二源/汲極(以下例如稱之為汲極)耦接電晶體T1之閘極。第六電晶體T6之閘極接收第一訊號311，電晶體T6之第一源/汲極(以下例如稱之為汲極)耦接電晶體T5之汲極，電晶體T6之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。其中，電晶體T6之汲極訊號即為第二訊號331。

於本實施例中，第一靜電放電鉗位電路360例如包括P型電晶體。其中P型電晶體之汲極耦接至電壓轉換電路350之第一輸入端，P型電晶體之閘極、源極以及基體皆耦接至第二系統電壓VDD2。或者，如熟習此藝者所知，第一靜電放電鉗位電路360亦可以二極體或其他方式實施之，其結果均屬本發明之範疇。圖3B是依照本發明較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。請參照圖3B，若是以二極體完成第一靜電放電鉗位電路360，則二極體之陽極耦接至電壓轉換電路350之第一輸入端，二極體之陰極耦接至第二系統電壓VDD2。於本實施例中，第二靜電放電鉗位電路370之實施係比照第一靜電放電鉗位



## 五、發明說明 (11)

電路360，故不在此贅述。

因此，當靜電放電事件係發生在系統電壓線VDD2連接端時，若系統電壓VDD1接地，則靜電放電電流ESD將自系統電壓線VDD2經由第一靜電放電鉗位電路360、電晶體342而流至系統電壓線VDD1。或者，若接地電壓線VSS1接地，則靜電放電電流ESD將自系統電壓線VDD2經由第一靜電放電鉗位電路360、電晶體344而流至接地電壓線VSS1。因此即可避免燒毀準位移位電路320。

為能更完整說明本發明，以下再舉一實施例。圖4A是依照本發明再一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。請參照圖4A，準位移位電路420接收積體電路中內部電路410所輸出之第一訊號411，並且依照第一訊號411之準位輸出具有相對應準位之第二訊號431(由積體電路中內部電路430所接收)。其中，第一訊號411係操作於第一系統電壓VDD1(在此假設為3.3伏特)與第一接地電壓VSS1(在此假設為0伏特)之間，以及第二訊號431係操作於第二系統電壓VDD2(在此假設為12伏特)與第二接地電壓VSS2(在此假設為0伏特)之間。

於本實施例中，準位移位電路420例如包括反相器440、電壓轉換電路450以及靜電放電鉗位電路460。反相器440接收第一訊號411並輸出第一反相訊號441。其中，第一反相訊號441係與第一訊號411互為反相，並且操作於第一系統電壓VDD1與第一接地電壓VSS1之間。

在此，電壓轉換電路450與反相器440例如分別與前述



## 五、發明說明 (12)

實施例中圖3之電壓轉換電路350與反相器340相同，故不再贅述。

靜電放電鉗位電路460之第一連接端耦接至第二系統電壓VDD2，第二連接端則耦接至第一接地電壓VSS1。於本實施例中，靜電放電鉗位電路460例如包括電晶體，其中電晶體之集極耦接至第二系統電壓VDD2，電晶體之基極以及射極耦接至第一接地電壓VSS1。或者，如熟習此藝者所知，靜電放電鉗位電路460亦可以二極體或其他方式實施之，其結果均屬本發明之範疇。圖4B是依照本發明較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。請參照圖4B，若是以二極體完成靜電放電鉗位電路460，則二極體之陽極耦接至第一接地電壓VSS1，而二極體之陰極則耦接至第二系統電壓VDD2。

因此，當靜電放電事件係發生在系統電壓線VDD2連接端時，若接地電壓線VSS1接地，則靜電放電電流ESD將自系統電壓線VDD2經由靜電放電鉗位電路460而流至接地電壓線VSS1。因此即可避免燒毀準位移位電路320。

圖5A是依照本發明更一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。請參照圖5A，準位移位電路520接收積體電路中內部電路510所輸出之第一訊號511，並且依照第一訊號511之準位輸出具有相對應準位之第二訊號531(由積體電路中內部電路530所接收)。其中，第一訊號511係操作於第一系統電壓VDD1(在此假設為12伏特)與第一接地電壓VSS1(在此假設為0伏特)之間，以



## 五、發明說明 (13)

及第二訊號531係操作於第二系統電壓VDD2 (在此假設為3.3伏特)與第二接地電壓VSS2 (在此假設為0伏特)之間。

於本實施例中，準位移位電路520例如包括反相器540、電壓轉換電路550以及靜電放電鉗位電路560與570。反相器540接收第一訊號511並輸出第一反相訊號541。其中，第一反相訊號541係與第一訊號511互為反相，並且操作於第一系統電壓VDD1與第一接地電壓VSS1之間。

在此，反相器540例如分別與前述實施例中反相器相同，故不再贅述。

於本實施例中，電壓轉換電路550例如包括P型電晶體T1、T3以及N型電晶體T2、T4。電晶體T1之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2，閘極接收反相訊號541。電晶體T2之第一源/汲極(以下例如稱之為汲極)耦接電晶體T1之第二源/汲極(以下例如稱之為汲極)，電晶體T2之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。電晶體T3之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2，其第二源/汲極(以下例如稱之為汲極)耦接電晶體T2之閘極，而電晶體T3之閘極接收訊號511。電晶體T4之閘極耦接電晶體T1之汲極，電晶體T4之第一源/汲極(以下例如稱之為汲極)耦接電晶體T3之汲極，電晶體T4之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。其中，電晶體T4汲極之訊號即為第二訊號531。

靜電放電鉗位電路560之第一連接端耦接至第二系統



##### 五、發明說明 (14)

電壓VDD2，第二連接端則耦接至電晶體T1之閘極。於本實施例中，靜電放電鉗位電路560例如包括P型電晶體。其中P型電晶體之汲極耦接至電壓轉換電路550之第一輸入端（電晶體T1之閘極），P型電晶體之閘極、源極以及基體皆耦接至第二系統電壓VDD2。或者，如熟習此藝者所知，靜電放電鉗位電路560亦可以二極體或其他方式實施之，其結果均屬本發明之範疇。圖5B是依照本發明較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。請參照圖5B，若是以二極體完成靜電放電鉗位電路560，則二極體之陽極耦接至電壓轉換電路550之第一輸入端（電晶體T1之閘極），而二極體之陰極則耦接至第二系統電壓VDD2。

於本實施例中，第二靜電放電鉗位電路570之實施係比照第一靜電放電鉗位電路560，故不在此贅述。

圖6A是依照本發明另外一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。請參照圖6A，準位移位電路620接收積體電路中內部電路610所輸出之第一訊號611，並且依照第一訊號611之準位輸出具有相對應準位之第二訊號631（由積體電路中內部電路630所接收）。其中，第一訊號611係操作於第一系統電壓VDD1（在此假設為12伏特）與第一接地電壓VSS1（在此假設為0伏特）之間，以及第二訊號631係操作於第二系統電壓VDD2（在此假設為3.3伏特）與第二接地電壓VSS2（在此假設為0伏特）之間。

於本實施例中，準位移位電路620例如包括反相器640、電壓轉換電路650以及靜電放電鉗位電路660與670。

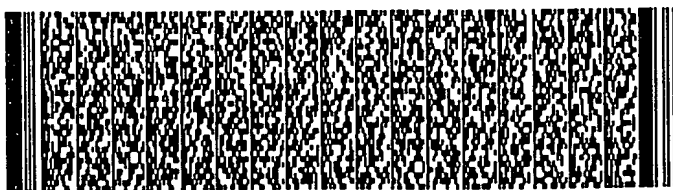


##### 五、發明說明 (15)

反相器640接收第一訊號611並輸出第一反相訊號641。其中，第一反相訊號641係與第一訊號611互為反相，並且操作於第一系統電壓VDD1與第一接地電壓VSS1之間。

在此，反相器640例如分別與前述實施例中反相器相同，故不再贅述。

於本實施例中，電壓轉換電路650例如包括P型電晶體T1、T4以及N型電晶體T2、T3、T5、T6。電晶體T1之閘極接收該反相訊號641，電晶體T1之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2。電晶體T2之閘極耦接至電晶體T1之閘極，電晶體T2之第一源/汲極(以下例如稱之為汲極)耦接電晶體T1之第二源/汲極(以下例如稱之為汲極)。電晶體T3之第一源/汲極(以下例如稱之為汲極)耦接電晶體T2之第二源/汲極(以下例如稱之為源極)，電晶體T3之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。電晶體T4之第一源/汲極(以下例如稱之為源極)耦接第二系統電壓VDD2，電晶體T4之第二源/汲極(以下例如稱之為汲極)耦接電晶體T3之閘極，電晶體T4之閘極接收第一訊號611。電晶體T5之閘極耦接至電晶體T4之閘極，電晶體T5之第一源/汲極(以下例如稱之為汲極)耦接電晶體T4之汲極。電晶體T6之閘極耦接至電晶體T1之汲極，電晶體T6之第一源/汲極(以下例如稱之為汲極)耦接電晶體T5之源極，電晶體T6之第二源/汲極(以下例如稱之為源極)耦接第二接地電壓VSS2。其中，電晶體T5之汲極訊號即為第二訊號631。





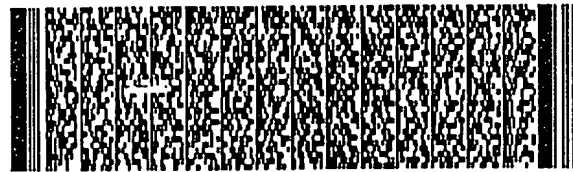
##### 五、發明說明 (16)

靜電放電鉗位電路660之第一連接端耦接至第二系統電壓VDD2，第二連接端則同時耦接至電晶體T1與T2之閘極。於本實施例中，靜電放電鉗位電路660例如包括P型電晶體。其中P型電晶體之汲極耦接至電壓轉換電路650之第一輸入端(電晶體T1與T2之閘極)，P型電晶體之閘極、源極以及基體皆耦接至第二系統電壓VDD2。或者，如熟習此藝者所知，靜電放電鉗位電路660亦可以二極體或其他方式實施之，其結果均屬本發明之範疇。圖6B是依照本發明另外一較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。請參照圖6B，若是以二極體完成靜電放電鉗位電路660，則二極體之陽極耦接至電壓轉換電路650之第一輸入端，而二極體之陰極則耦接至第二系統電壓VDD2。

於本實施例中，第二靜電放電鉗位電路670之實施係比照第一靜電放電鉗位電路660，故不在此贅述。

圖7A是依照本發明另外一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。請參照圖7A，準位移位電路720接收積體電路中內部電路710所輸出之第一訊號711，並且依照第一訊號711之準位輸出具有相對應準位之第二訊號731(由積體電路中內部電路730所接收)。其中，第一訊號711係操作於第一系統電壓VDD1(在此假設為12伏特)與第一接地電壓VSS1(在此假設為0伏特)之間，以及第二訊號731係操作於第二系統電壓VDD2(在此假設為3.3伏特)與第二接地電壓VSS2(在此假設為0伏特)之間。

於本實施例中，準位移位電路720例如包括反相器



## 五、發明說明 (17)

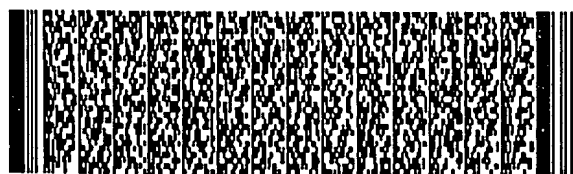
740、電壓轉換電路750以及靜電放電鉗位電路760與770。反相器740接收第一訊號711並輸出第一反相訊號741。其中，第一反相訊號741係與第一訊號711互為反相，並且操作於第一系統電壓VDD1與第一接地電壓VSS1之間。

在此，反相器740與電壓轉換電路750例如分別與前述實施例中反相器640與電壓轉換電路650相同，故不再贅述。

靜電放電鉗位電路760之第一連接端同時耦接至電晶體T1與T2之閘極，第二連接端則耦接至第二接地電壓VSS2。於本實施例中，靜電放電鉗位電路760例如包括N型電晶體。其中N型電晶體之汲極耦接至電壓轉換電路750之第一輸入端(電晶體T1與T2之閘極)，N型電晶體之閘極、源極以及基體皆耦接至第二接地電壓VSS2。或者，如熟習此藝者所知，靜電放電鉗位電路760亦可以二極體或其他方式實施之，其結果均屬本發明之範疇。圖7B是依照本發明另外一較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。請參照圖7B，若是以二極體完成靜電放電鉗位電路760，則二極體之陰極耦接至電壓轉換電路750之第一輸入端，而二極體之陽極則耦接至第二接地電壓VSS2。

於本實施例中，第二靜電放電鉗位電路770之實施係比照第一靜電放電鉗位電路760，故不在此贅述。

特別強調，上述實施例中，圖4A與圖4B之電壓轉換電路450可以任何電壓轉換電路取代之，例如圖2A之電壓轉



五、發明說明 (18)

換電路250、圖5A之電壓轉換電路550、圖6A之電壓轉換電路650以及其他電壓轉換電路等，其結果亦屬本發明之範疇。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

圖1A是一般多電源積體電路之部份電路方塊圖。

圖1B是繪示圖1A中準位移位電路暨靜電放電路徑圖。

圖1C是繪示圖1A中另一準位移位電路暨靜電放電路徑圖。

圖2A是依照本發明一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。

圖2B是依照本發明較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。

圖3A是依照本發明另一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。

圖3B是依照本發明另一較佳實施例所繪示的又一種可防護靜電放電之準位移位電路圖。

圖4A是依照本發明再一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。

圖4B是依照本發明再一較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。

圖5A是依照本發明更一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。

圖5B是依照本發明較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。

圖6A是依照本發明另外一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。

圖6B是依照本發明另外一較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。



## 圖式簡單說明

圖7A是依照本發明另外一較佳實施例所繪示的一種可防護靜電放電之準位移位電路圖。

圖7B是依照本發明另外一較佳實施例所繪示的另一種可防護靜電放電之準位移位電路圖。

### 【圖式標示說明】

110、130、210、230、310、330、410、430：內部電路

120：習知之準位移位電路

121~124：可能燒燬之晶體

220、320、420：本發明實施例之可防護靜電放電之準位移位電路

240、340、440：反相器

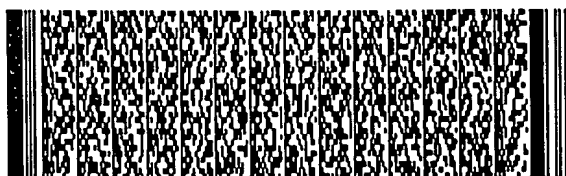
250、350、450：電壓轉換電路

260、270、360、370、460：靜電放電鉗位電路

211、311、411：第一訊號

231、331、431：第二訊號

241、341、441：第一反相訊號



## 六、申請專利範圍

1. 一種可防護靜電放電之準位移位電路，用以接收一第一訊號並依照該第一訊號之準位輸出具有相對應準位之一第二訊號，其中該第一訊號係操作於一第一系統電壓與一第一接地電壓之間，以及該第二訊號係操作於一第二系統電壓與一第二接地電壓之間，該準位移位電路包括：

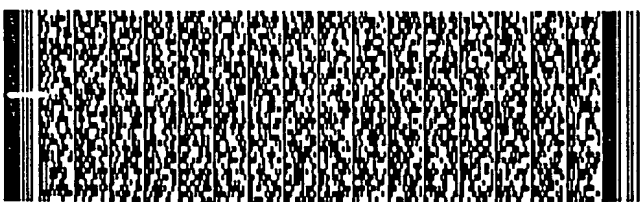
一反相器，接收該第一訊號並輸出一第一反相訊號，其中該第一反相訊號係與該第一訊號互為反相且操作於該第一系統電壓與該第一接地電壓之間；

一電壓轉換電路，該電壓轉換電路之第一輸入端接收該第一反相訊號，該電壓轉換電路之第二輸入端接收該第一訊號，該電壓轉換電路之輸出端輸出該第二訊號；

一第一靜電放電鉗位電路，該第一靜電放電鉗位電路之第一連接端耦接至該電壓轉換電路之第一輸入端，該第一靜電放電鉗位電路之第二連接端耦接至該第二接地電壓；以及

一第二靜電放電鉗位電路，該第二靜電放電鉗位電路之第一連接端耦接至該電壓轉換電路之第二輸入端，該第二靜電放電鉗位電路之第二連接端耦接至該第二接地電壓。

2. 如申請專利範圍第1項所述之可防護靜電放電之準位移位電路，其中該第一靜電放電鉗位電路包括一N型電晶體，其中該N型電晶體之汲極耦接至該電壓轉換電路之第一輸入端，該N型電晶體之閘極、源極以及基體皆耦接至該第二接地電壓。



## 六、申請專利範圍

3. 如申請專利範圍第1項所述之可防護靜電放電之準位移位電路，其中該第一靜電放電鉗位電路包括一二極體，其中該二極體之陰極耦接至該電壓轉換電路之第一輸入端，該二極體之陽極耦接至該第二接地電壓。

4. 如申請專利範圍第1項所述之可防護靜電放電之準位移位電路，其中該反相器包括：

一P型電晶體，該P型電晶體之源極耦接至該第一系統電壓，該P型電晶體之閘極接收該第一訊號，該P型電晶體之汲極輸出該第一反相訊號；以及

一N型電晶體，該N型電晶體之閘極接收該第一訊號，該N型電晶體之汲極耦接至該P型電晶體之汲極，該N型電晶體之源極耦接至該第一接地電壓。

5. 如申請專利範圍第1項所述之可防護靜電放電之準位移位電路，其中該電壓轉換電路包括：

一第一電晶體，該第一電晶體之第一源/汲極耦接該第二系統電壓；

一第二電晶體，該第二電晶體之閘極接收該第一反相訊號，該第二電晶體之第一源/汲極耦接該第一電晶體之第二源/汲極，該第二電晶體之第二源/汲極耦接該第二接地電壓；

一第三電晶體，該第三電晶體之第一源/汲極耦接該第二系統電壓，該第三電晶體之第二源/汲極耦接該第一電晶體之閘極，該第三電晶體之閘極耦接該第一電晶體之第二源/汲極；以及



## 六、申請專利範圍

一 第四電晶體，該第四電晶體之閘極接收該第一訊號，該第四電晶體之第一源/汲極耦接該第三電晶體之第二源/汲極，該第四電晶體之第二源/汲極耦接該第二接地電壓，其中該第四電晶體之第一源/汲極之訊號即為該第二訊號。

6. 如申請專利範圍第5項所述之可防護靜電放電之準位移位電路，其中該第一電晶體以及該第三電晶體係為P型電晶體，該第二電晶體以及該第四電晶體係為N型電晶體。

7. 如申請專利範圍第1項所述之可防護靜電放電之準位移位電路，其中該電壓轉換電路包括：

一 第一電晶體，該第一電晶體之閘極接收該第一反相訊號，該第一電晶體之第一源/汲極耦接該第二系統電壓；

一 第二電晶體，該第二電晶體之閘極耦接至該第一電晶體之閘極，該第二電晶體之第一源/汲極耦接該第一電晶體之第二源/汲極；

一 第三電晶體，該第三電晶體之第一源/汲極耦接該第二電晶體之第二源/汲極，該第三電晶體之第二源/汲極耦接該第二接地電壓；

一 第四電晶體，該第四電晶體之第一源/汲極耦接該第二系統電壓，該第四電晶體之第二源/汲極耦接該第三電晶體之閘極，該第四電晶體之閘極接收該第一訊號；

一 第五電晶體，該第五電晶體之閘極耦接至該第四電





## 六、申請專利範圍

晶體之閘極，該第五電晶體之第一源/汲極耦接該第四電晶體之第二源/汲極；以及

一第六電晶體，該第六電晶體之閘極耦接至該第一電晶體之第二源/汲極，該第六電晶體之第一源/汲極耦接該第五電晶體之第二源/汲極，該第六電晶體之第二源/汲極耦接該第二接地電壓，

其中該第五電晶體之第一源/汲極之訊號即為該第二訊號。

8. 如申請專利範圍第7項所述之可防護靜電放電之準位移位電路，其中該第一電晶體以及該第四電晶體係為P型電晶體，該第二電晶體、該第三電晶體、該第五電晶體以及該第六電晶體係為N型電晶體。

9. 一種可防護靜電放電之準位移位電路，用以接收一第一訊號並依照該第一訊號之準位輸出具有相對應準位之一第二訊號，其中該第一訊號係操作於一第一系統電壓與一第一接地電壓之間，以及該第二訊號係操作於一第二系統電壓與一第二接地電壓之間，該準位移位電路包括：

一反相器，接收該第一訊號並輸出一第一反相訊號，其中該第一反相訊號係與該第一訊號互為反相且操作於該第一系統電壓與該第一接地電壓之間；

一電壓轉換電路，該電壓轉換電路之第一輸入端接收該第一反相訊號，該電壓轉換電路之第二輸入端接收該第一訊號，該電壓轉換電路之輸出端輸出該第二訊號；

一第一靜電放電鉗位電路，該第一靜電放電鉗位電路



#### 六、申請專利範圍

之第一連接端耦接至該第二系統電壓，該第一靜電放電鉗位電路之第二連接端耦接至該電壓轉換電路之第一輸入端；以及

一第二靜電放電鉗位電路，該第二靜電放電鉗位電路之第一連接端耦接至該第二系統電壓，該第二靜電放電鉗位電路之第二連接端耦接至該電壓轉換電路之第一輸入端。

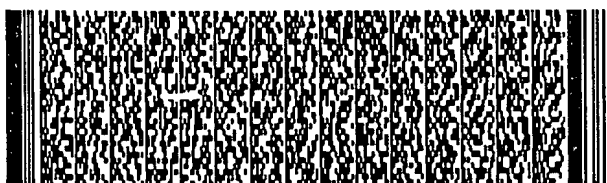
10. 如申請專利範圍第9項所述之可防護靜電放電之準位移位電路，其中該第一靜電放電鉗位電路包括一P型電晶體，其中該P型電晶體之汲極耦接至該電壓轉換電路之第一輸入端，該P型電晶體之閘極、源極以及基體皆耦接至該第二系統電壓。

11. 如申請專利範圍第9項所述之可防護靜電放電之準位移位電路，其中該第一靜電放電鉗位電路包括一二極體，其中該二極體之陽極耦接至該電壓轉換電路之第一輸入端，該二極體之陰極耦接至該第二系統電壓。

12. 如申請專利範圍第9項所述之可防護靜電放電之準位移位電路，其中該反相器包括：

一P型電晶體，該P型電晶體之源極耦接至該第一系統電壓，該P型電晶體之閘極接收該第一訊號，該P型電晶體之汲極輸出該第一反相訊號；以及

一N型電晶體，該N型電晶體之閘極接收該第一訊號，該N型電晶體之汲極耦接至該P型電晶體之汲極，該N型電晶體之源極耦接至該第一接地電壓。



#### 六、申請專利範圍

13. 如申請專利範圍第9項所述之可防護靜電放電之準位移位電路，其中該電壓轉換電路包括：

一 第一電晶體，該第一電晶體之第一源/汲極耦接該第二系統電壓；

一 第二電晶體，該第二電晶體之閘極接收該第一反相訊號，該第二電晶體之第一源/汲極耦接該第一電晶體之第二源/汲極；

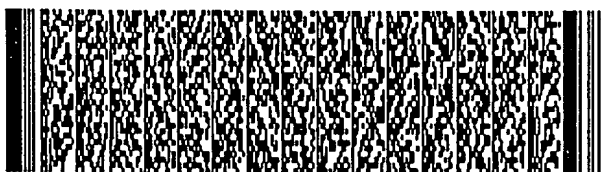
一 第三電晶體，該第三電晶體之閘極接收該第一反相訊號，該第三電晶體之第一源/汲極耦接該第二電晶體之第二源/汲極，該第三電晶體之第二源/汲極耦接該第二接地電壓；

一 第四電晶體，該第四電晶體之第一源/汲極耦接該第二系統電壓，該第四電晶體之閘極耦接該第二電晶體之第二源/汲極；

一 第五電晶體，該第五電晶體之閘極接收該第一訊號，該第五電晶體之第一源/汲極耦接該第四電晶體之第二源/汲極，該第五電晶體之第二源/汲極耦接該第一電晶體之閘極；以及

一 第六電晶體，該第六電晶體之閘極接收該第一訊號，該第六電晶體之第一源/汲極耦接該第五電晶體之第二源/汲極，該第六電晶體之第二源/汲極耦接該第二接地電壓，其中該第六電晶體之第一源/汲極之訊號即為該第二訊號。

14. 如申請專利範圍第13項所述之可防護靜電放電之



#### 六、申請專利範圍

準位移位電路，其中該第一電晶體、該第二電晶體、該第四電晶體以及該第五電晶體係為P型電晶體，該第三電晶體以及該第六電晶體係為N型電晶體。

15. 如申請專利範圍第9項所述之可防護靜電放電之準位移位電路，其中該電壓轉換電路包括：

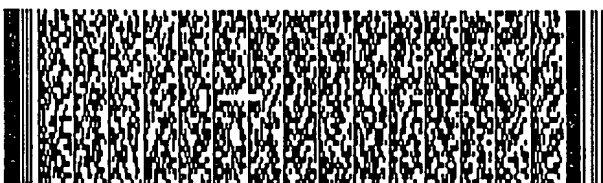
一 第一電晶體，該第一電晶體之第一源/汲極耦接該第二系統電壓，該第一電晶體之閘極接收該第一反相訊號；

一 第二電晶體，該第二電晶體之第一源/汲極耦接該第一電晶體之第二源/汲極，該第二電晶體之第二源/汲極耦接該第二接地電壓；

一 第三電晶體，該第三電晶體之第一源/汲極耦接該第二系統電壓，該第三電晶體之第二源/汲極耦接該第二電晶體之閘極，該第三電晶體之閘極接收該第一訊號；以及

一 第四電晶體，該第四電晶體之閘極耦接該第一電晶體之第二源/汲極，該第四電晶體之第一源/汲極耦接該第三電晶體之第二源/汲極，該第四電晶體之第二源/汲極耦接該第二接地電壓，其中該第四電晶體之第一源/汲極之訊號即為該第二訊號。

16. 如申請專利範圍第15項所述之可防護靜電放電之準位移位電路，其中該第一電晶體以及該第三電晶體係為P型電晶體，該第二電晶體以及該第四電晶體係為N型電晶體。



#### 六、申請專利範圍

17. 如申請專利範圍第9項所述之可防護靜電放電之準位移位電路，其中該電壓轉換電路包括：

一 第一電晶體，該第一電晶體之閘極接收該第一反相訊號，該第一電晶體之第一源/汲極耦接該第二系統電壓；

一 第二電晶體，該第二電晶體之閘極耦接至該第一電晶體之閘極，該第二電晶體之第一源/汲極耦接該第一電晶體之第二源/汲極；

一 第三電晶體，該第三電晶體之第一源/汲極耦接該第二電晶體之第二源/汲極，該第三電晶體之第二源/汲極耦接該第二接地電壓；

一 第四電晶體，該第四電晶體之第一源/汲極耦接該第二系統電壓，該第四電晶體之第二源/汲極耦接該第三電晶體之閘極，該第四電晶體之閘極接收該第一訊號；

一 第五電晶體，該第五電晶體之閘極耦接至該第四電晶體之閘極，該第五電晶體之第一源/汲極耦接該第四電晶體之第二源/汲極；以及

一 第六電晶體，該第六電晶體之閘極耦接至該第一電晶體之第二源/汲極，該第六電晶體之第一源/汲極耦接該第五電晶體之第二源/汲極，該第六電晶體之第二源/汲極耦接該第二接地電壓，

其中該第五電晶體之第一源/汲極之訊號即為該第二訊號。

18. 如申請專利範圍第17項所述之可防護靜電放電之



#### 六、申請專利範圍

準位移位電路，其中該第一電晶體以及該第四電晶體係為P型電晶體，該第二電晶體、該第三電晶體、該第五電晶體以及該第六電晶體係為N型電晶體。

19. 一種可防護靜電放電之準位移位電路，用以接收一第一訊號並依照該第一訊號之準位輸出具有相對應準位之一第二訊號，其中該第一訊號係操作於一第一系統電壓與一第一接地電壓之間，以及該第二訊號係操作於一第二系統電壓與一第二接地電壓之間，該準位移位電路包括：

一反相器，接收該第一訊號並輸出一第一反相訊號，其中該第一反相訊號係與該第一訊號互為反相且操作於該第一系統電壓與該第一接地電壓之間；

一電壓轉換電路，該電壓轉換電路之第一輸入端接收該第一反相訊號，該電壓轉換電路之第二輸入端接收該第一訊號，該電壓轉換電路之輸出端輸出該第二訊號；以及

一靜電放電鉗位電路，該靜電放電鉗位電路之第一連接端耦接至該第二系統電壓，該靜電放電鉗位電路之第二連接端耦接至該第一接地電壓。

20. 如申請專利範圍第19項所述之可防護靜電放電之準位移位電路，其中該靜電放電鉗位電路包括一電晶體，其中該電晶體之集極耦接至該第二系統電壓，該電晶體之基極以及射極耦接至該第一接地電壓。

21. 如申請專利範圍第19項所述之可防護靜電放電之準位移位電路，其中該靜電放電鉗位電路包括一二極體，其中該二極體之陽極耦接至該第一接地電壓，該二極體之



## 六、申請專利範圍

陰極耦接至該第二系統電壓。

22. 如申請專利範圍第19項所述之可防護靜電放電之準位移位電路，其中該反相器包括：

一P型電晶體，該P型電晶體之源極耦接至該第一系統電壓，該P型電晶體之閘極接收該第一訊號，該P型電晶體之汲極輸出該第一反相訊號；以及

一N型電晶體，該N型電晶體之閘極接收該第一訊號，該N型電晶體之汲極耦接至該P型電晶體之汲極，該N型電晶體之源極耦接至該第一接地電壓。

23. 如申請專利範圍第19項所述之可防護靜電放電之準位移位電路，其中該電壓轉換電路包括：

一第一電晶體，該第一電晶體之第一源/汲極耦接該第二系統電壓；

一第二電晶體，該第二電晶體之閘極接收該第一反相訊號，該第二電晶體之第一源/汲極耦接該第一電晶體之第二源/汲極；

一第三電晶體，該第三電晶體之閘極接收該第一反相訊號，該第三電晶體之第一源/汲極耦接該第二電晶體之第二源/汲極，該第三電晶體之第二源/汲極耦接該第二接地電壓；

一第四電晶體，該第四電晶體之第一源/汲極耦接該第二系統電壓，該第四電晶體之閘極耦接該第二電晶體之第二源/汲極；

一第五電晶體，該第五電晶體之閘極接收該第一訊



#### 六、申請專利範圍

號，該第五電晶體之第一源/汲極耦接該第四電晶體之第二源/汲極，該第五電晶體之第二源/汲極耦接該第一電晶體之閘極；以及

一第六電晶體，該第六電晶體之閘極接收該第一訊號，該第六電晶體之第一源/汲極耦接該第五電晶體之第二源/汲極，該第六電晶體之第二源/汲極耦接該第二接地電壓，其中該第六電晶體之第一源/汲極之訊號即為該第二訊號。

24. 如申請專利範圍第23項所述之可防護靜電放電之準位移位電路，其中該第一電晶體、該第二電晶體、該第四電晶體以及該第五電晶體係為P型電晶體，該第三電晶體以及該第六電晶體係為N型電晶體。





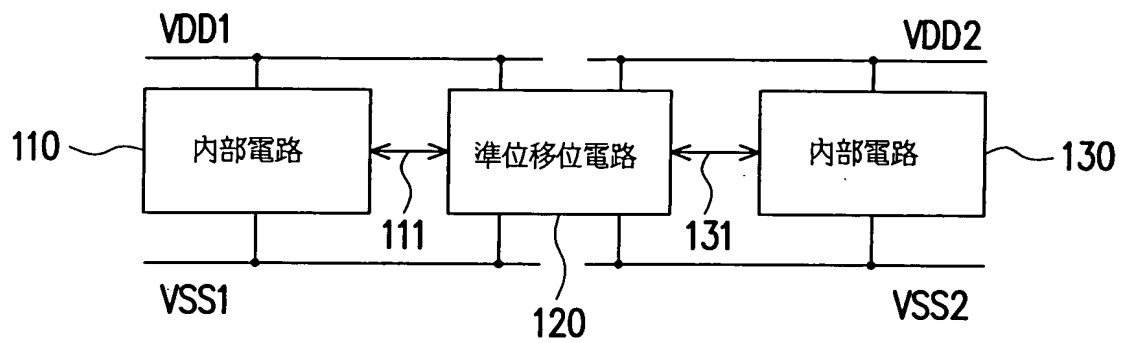


圖 1A

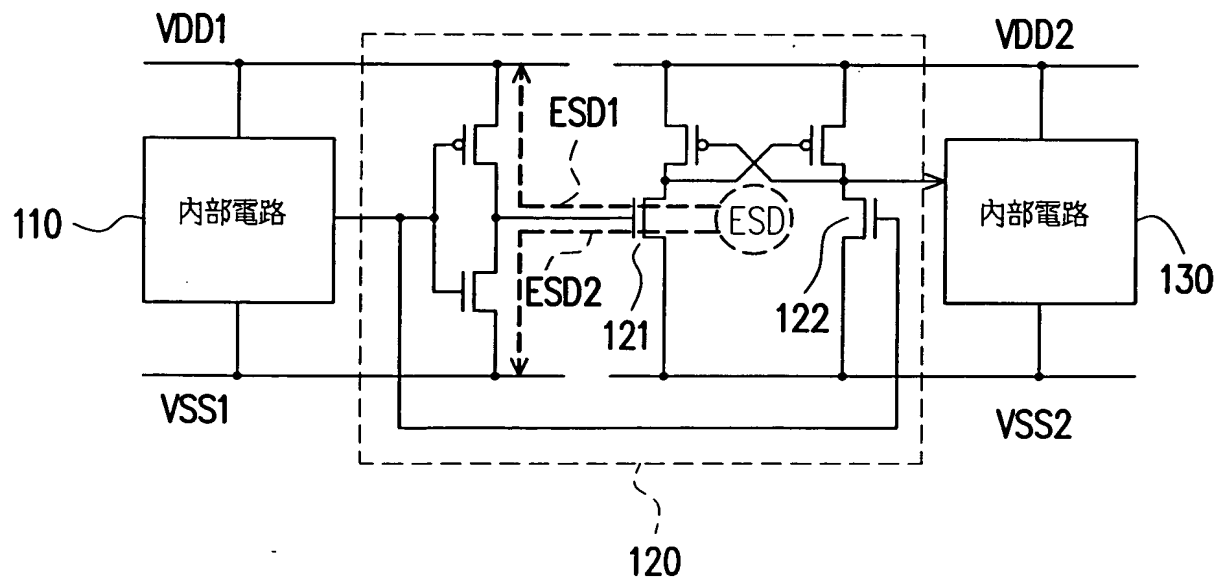
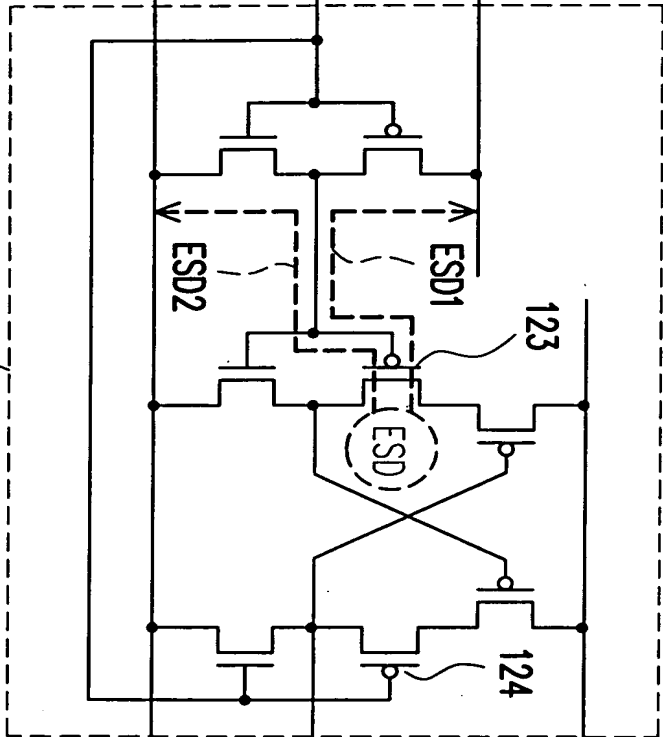


圖 1B



10

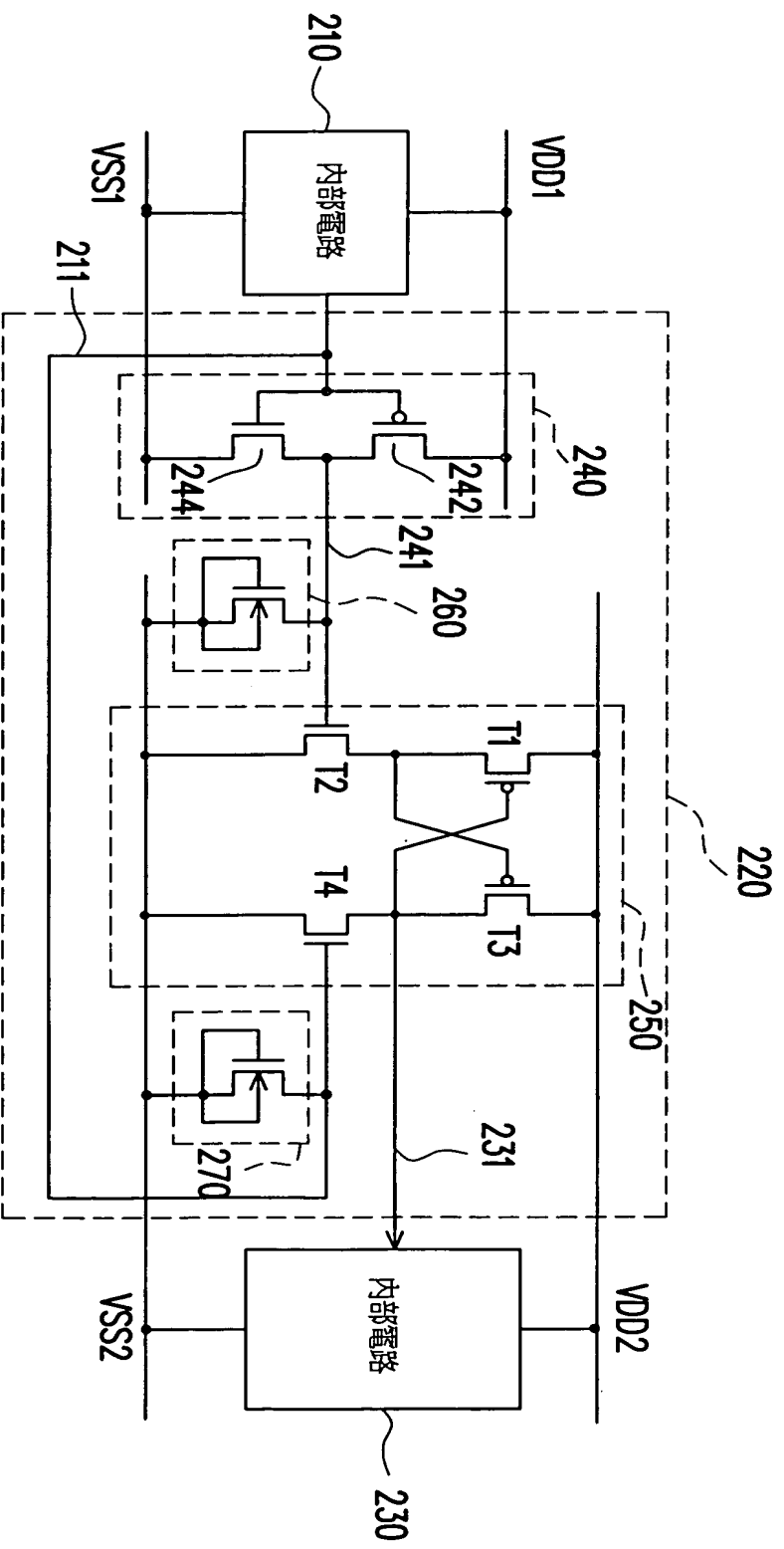


圖 2A

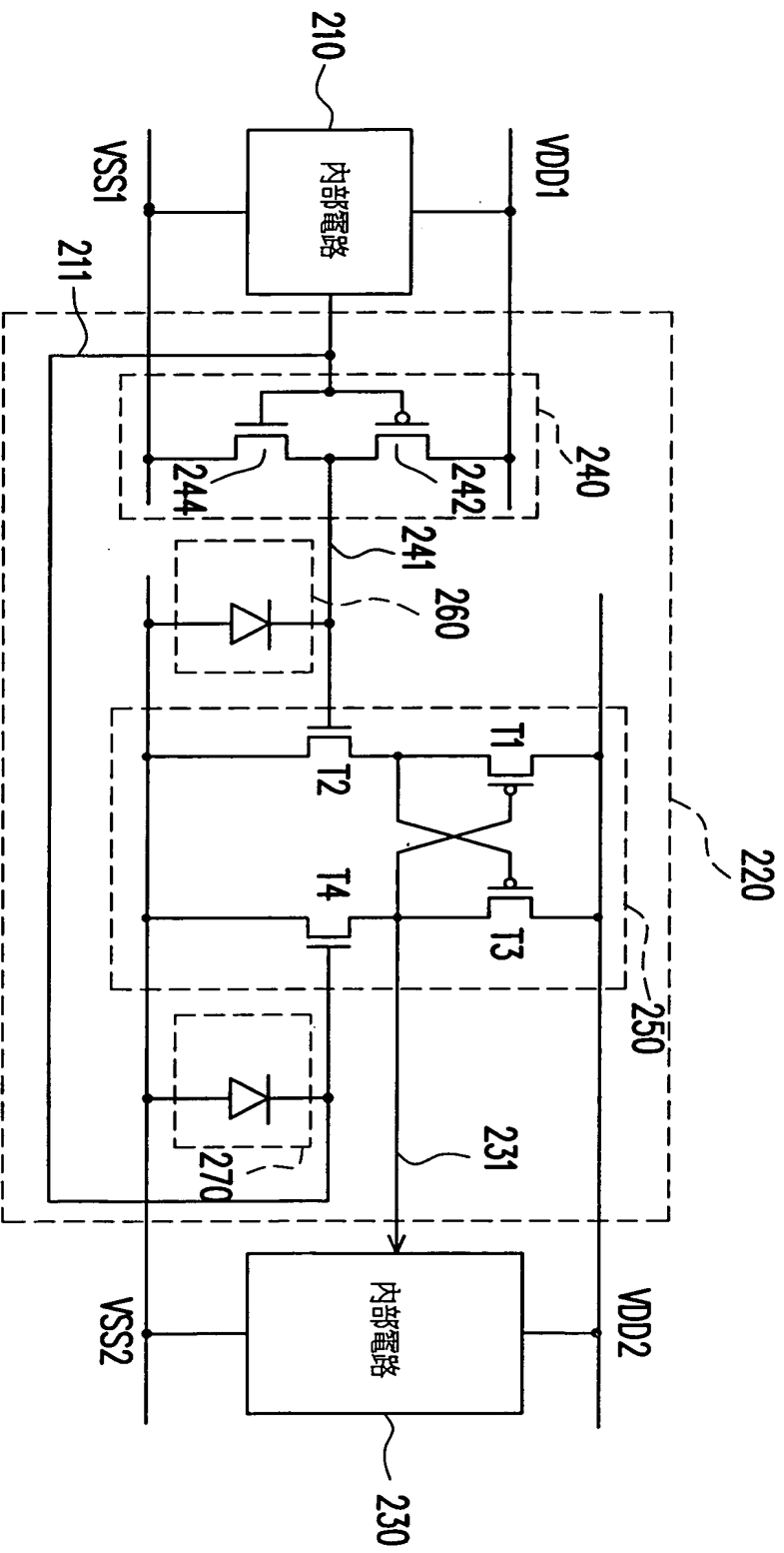


圖 2B

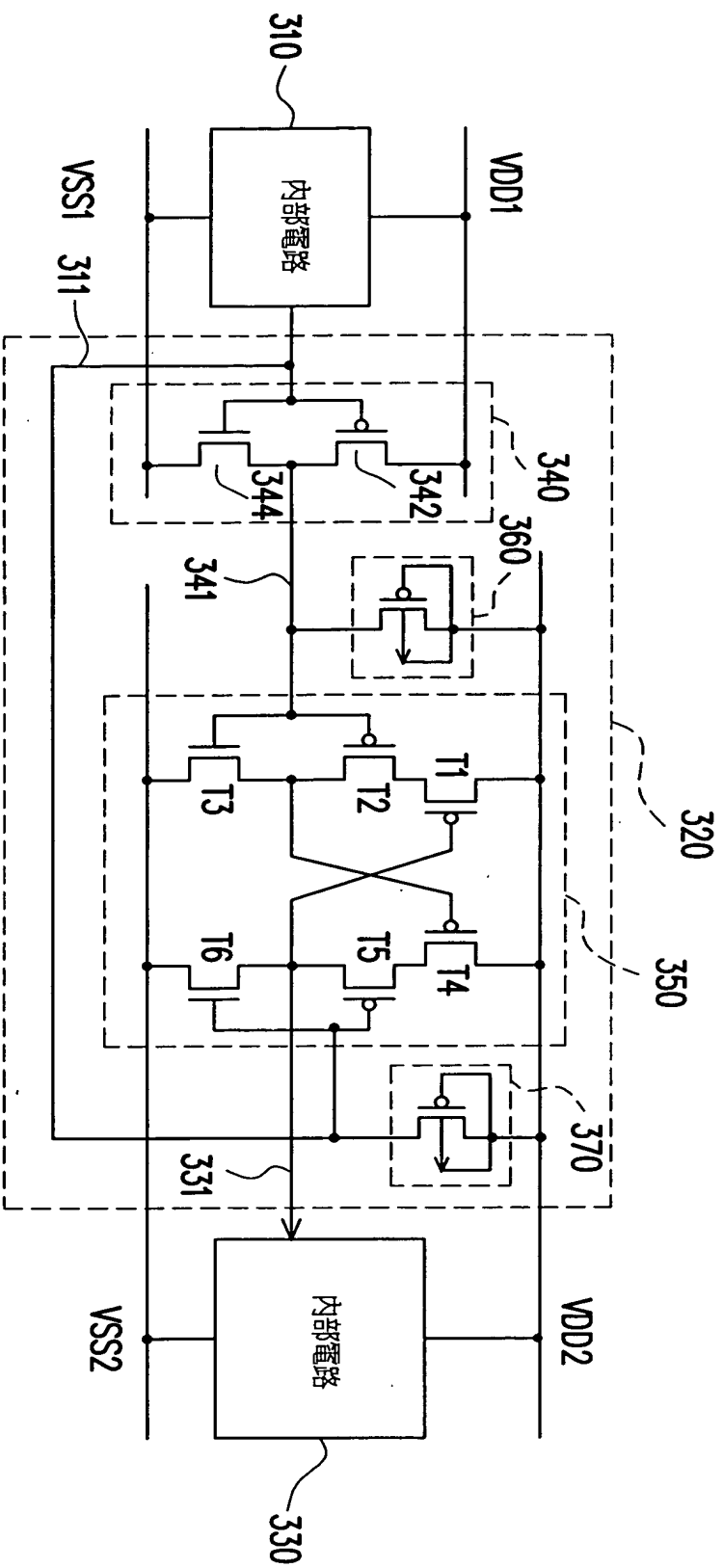


圖 3A

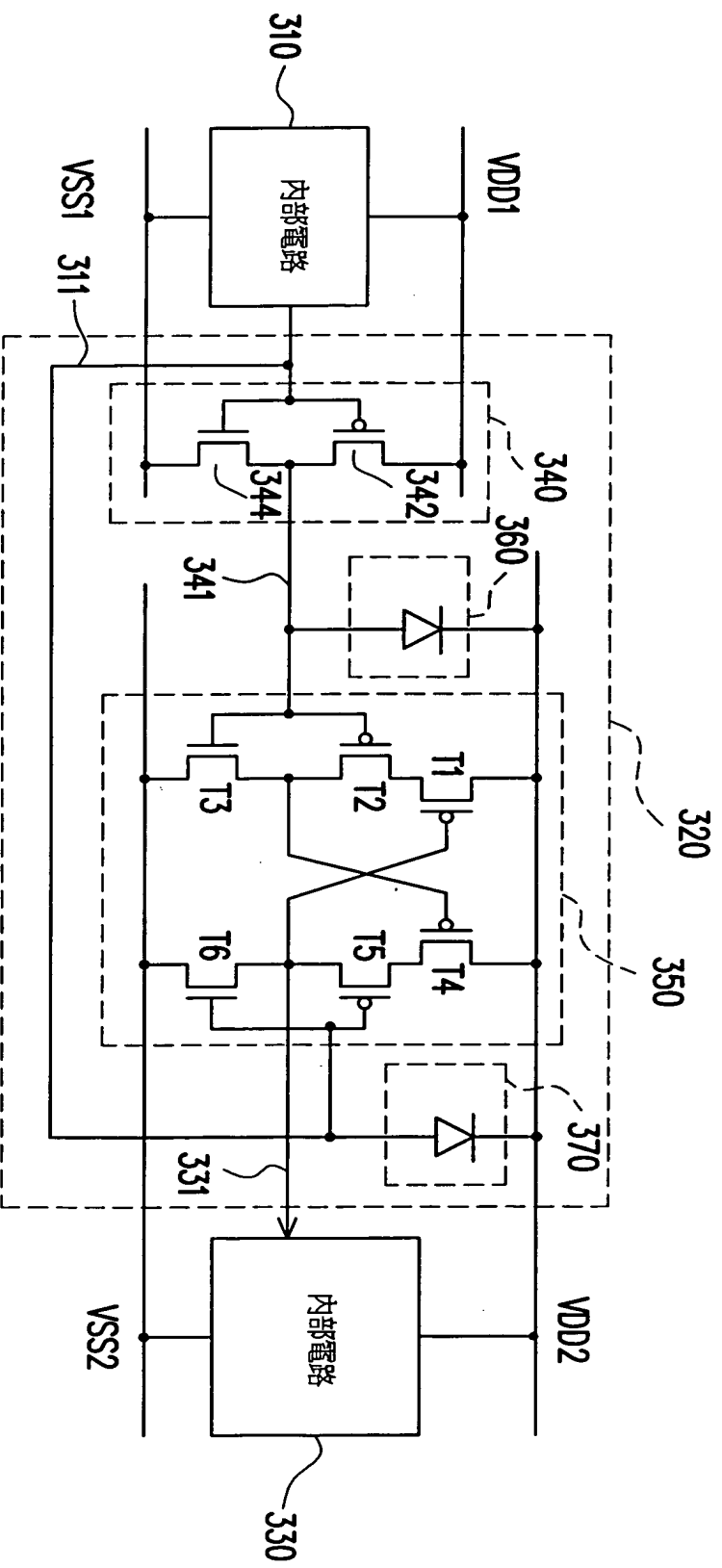


圖 3B

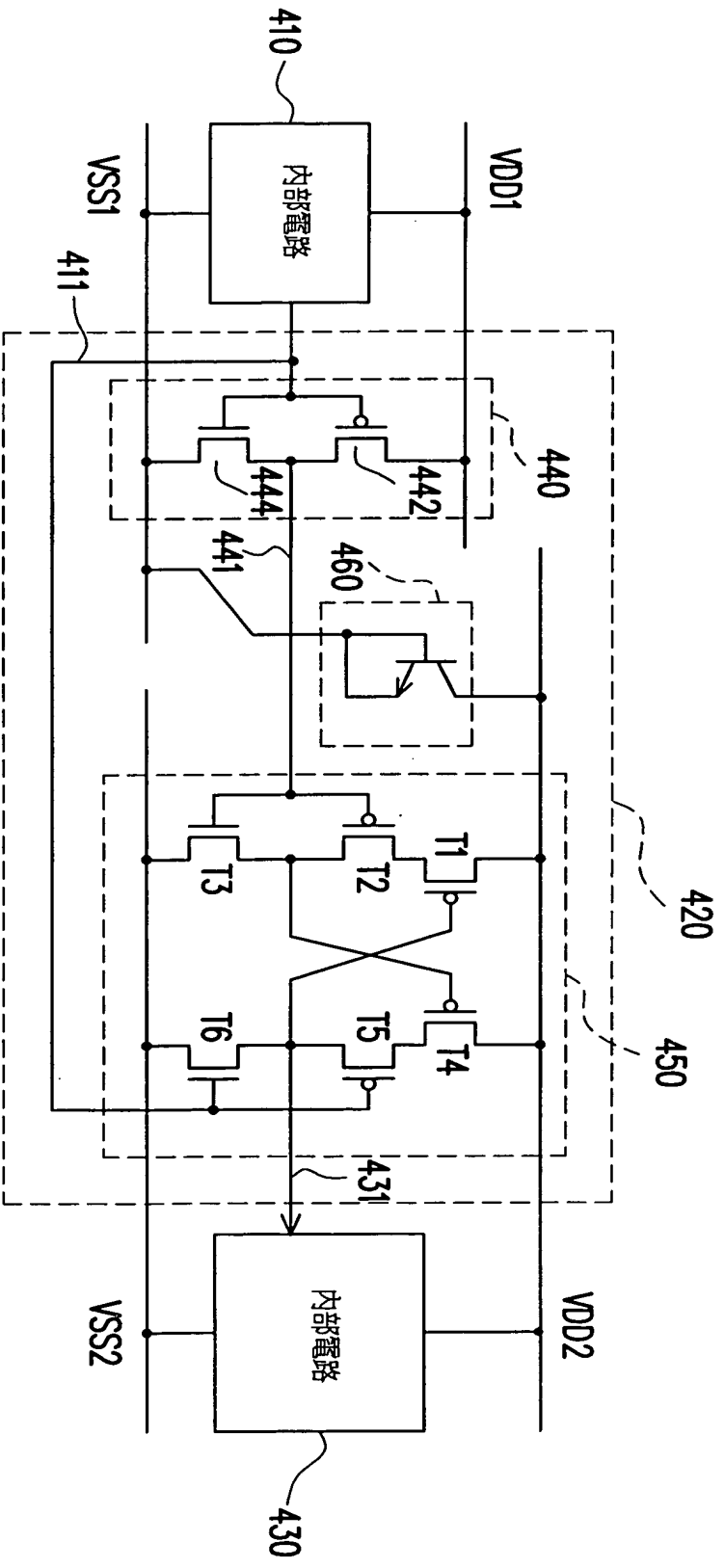


圖 4A

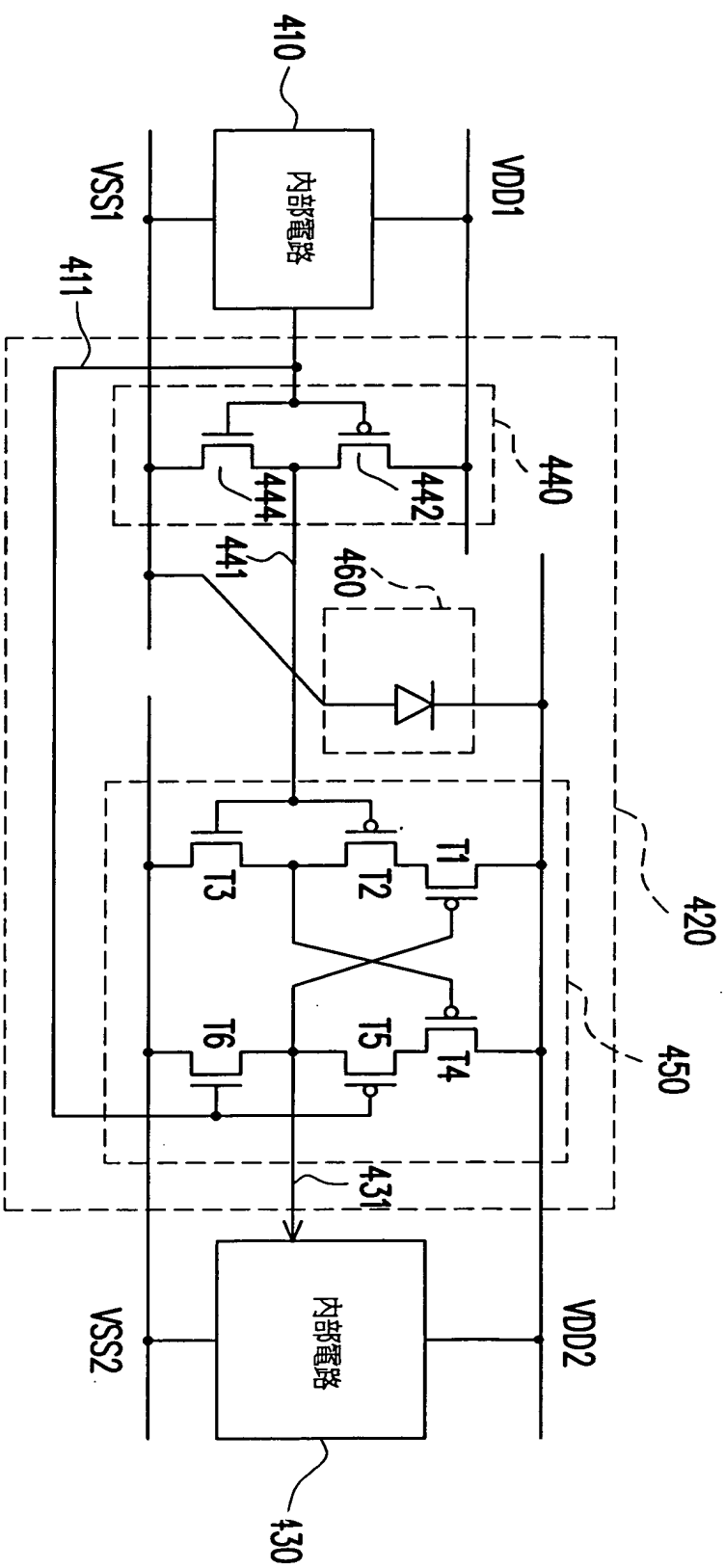


圖 4B



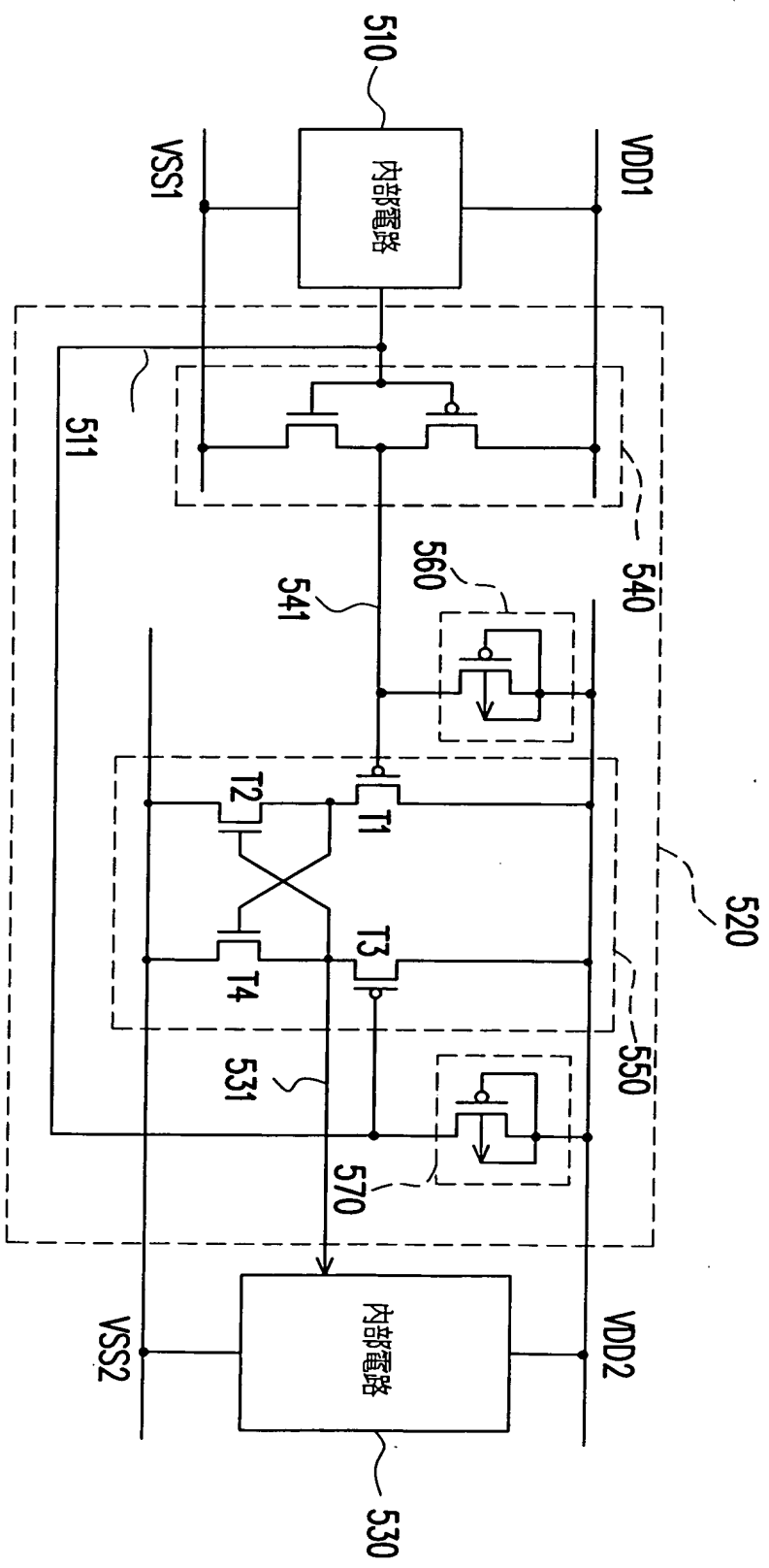


圖 5A

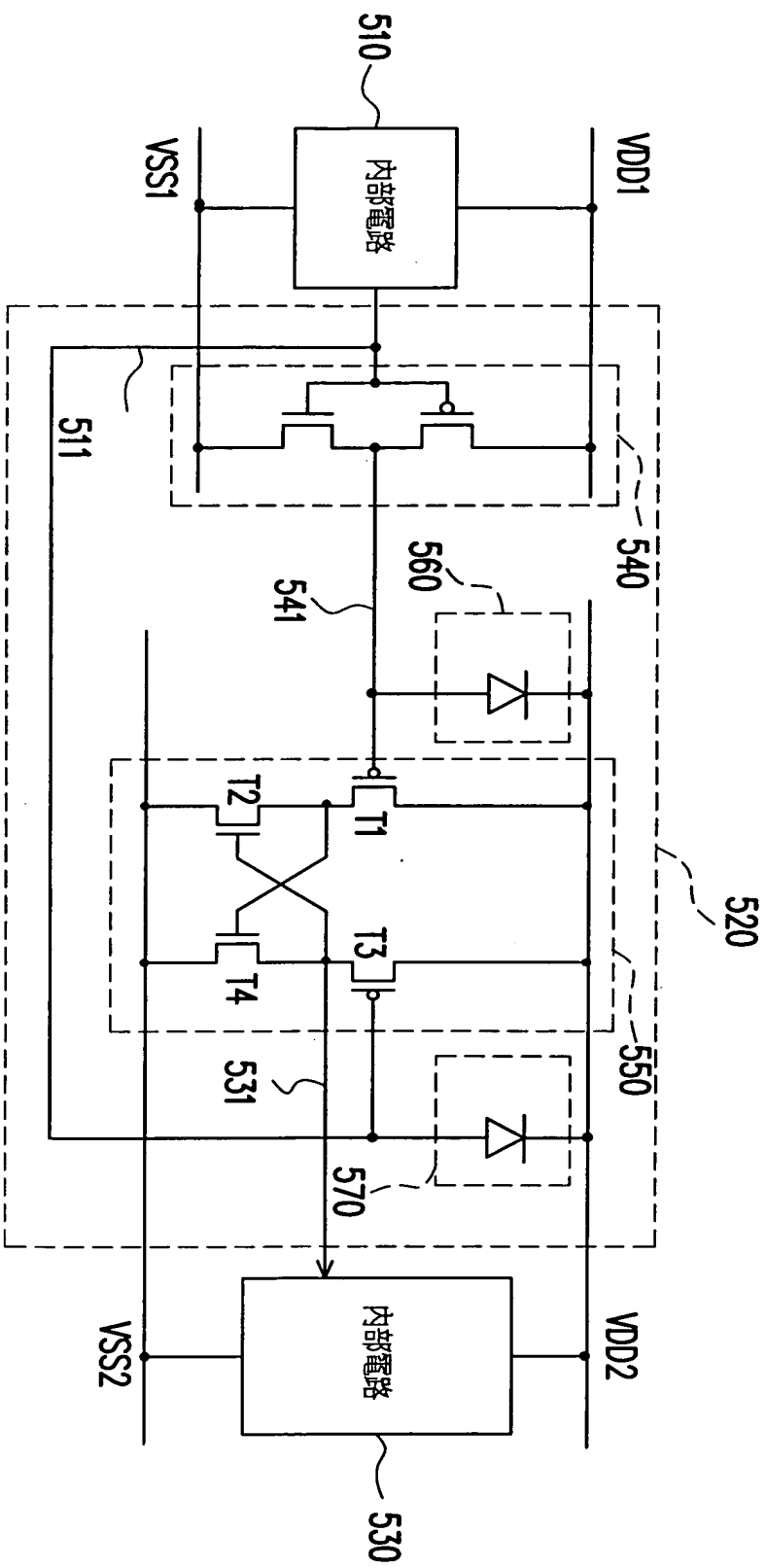


圖 5B

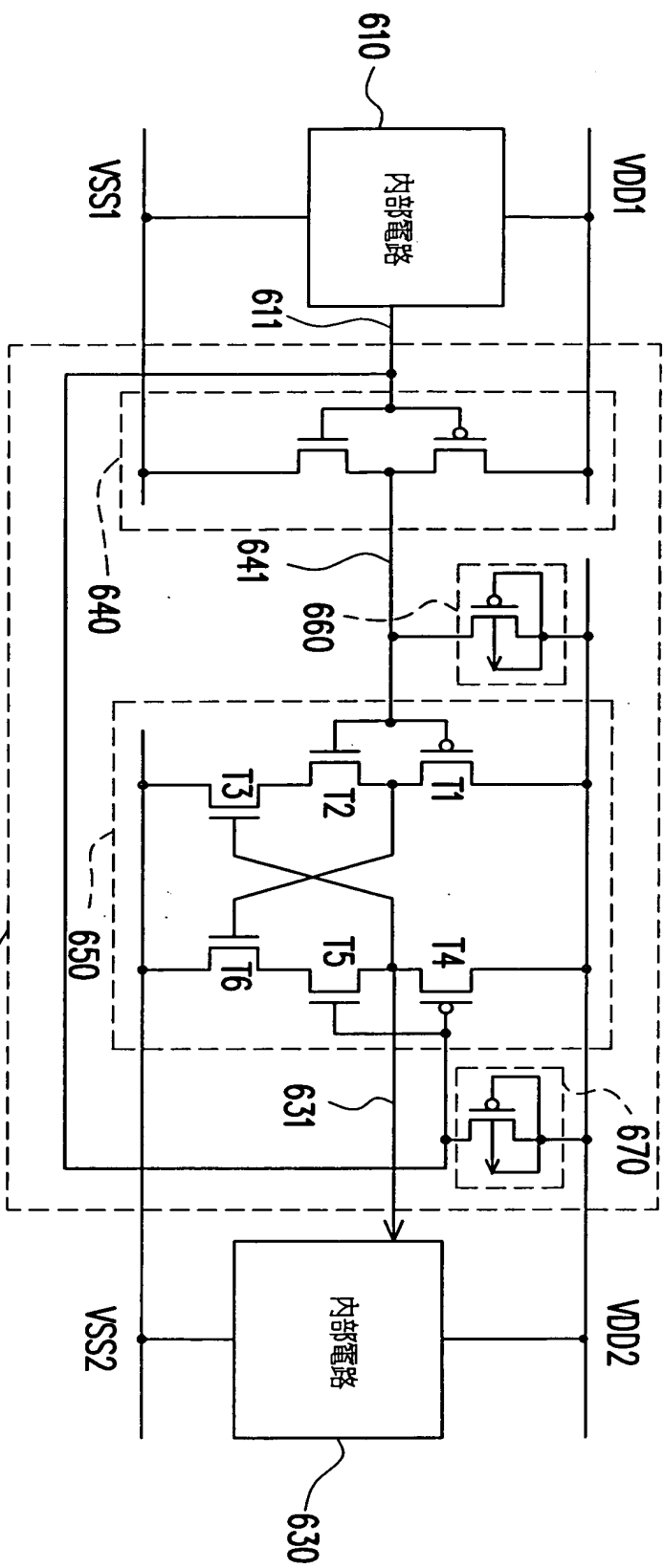


圖 6A



6B 圖

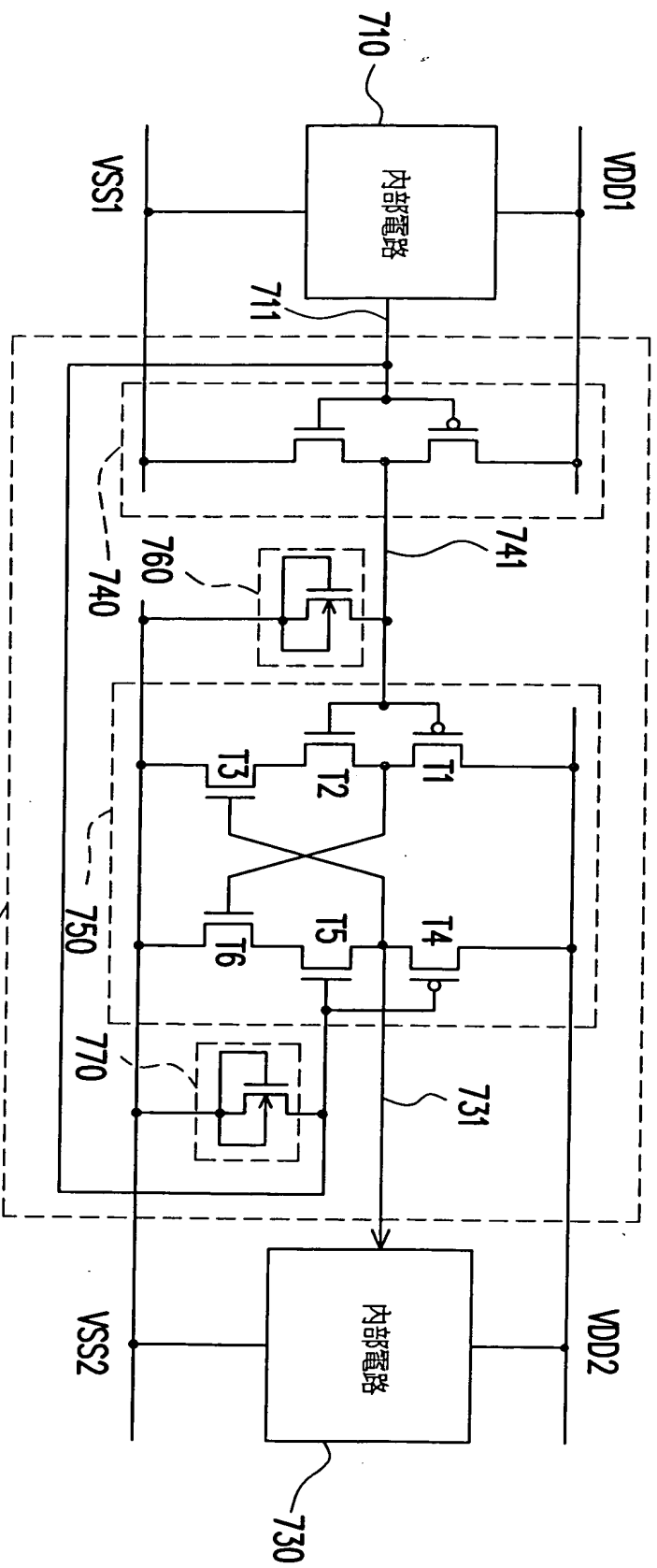


圖 7A

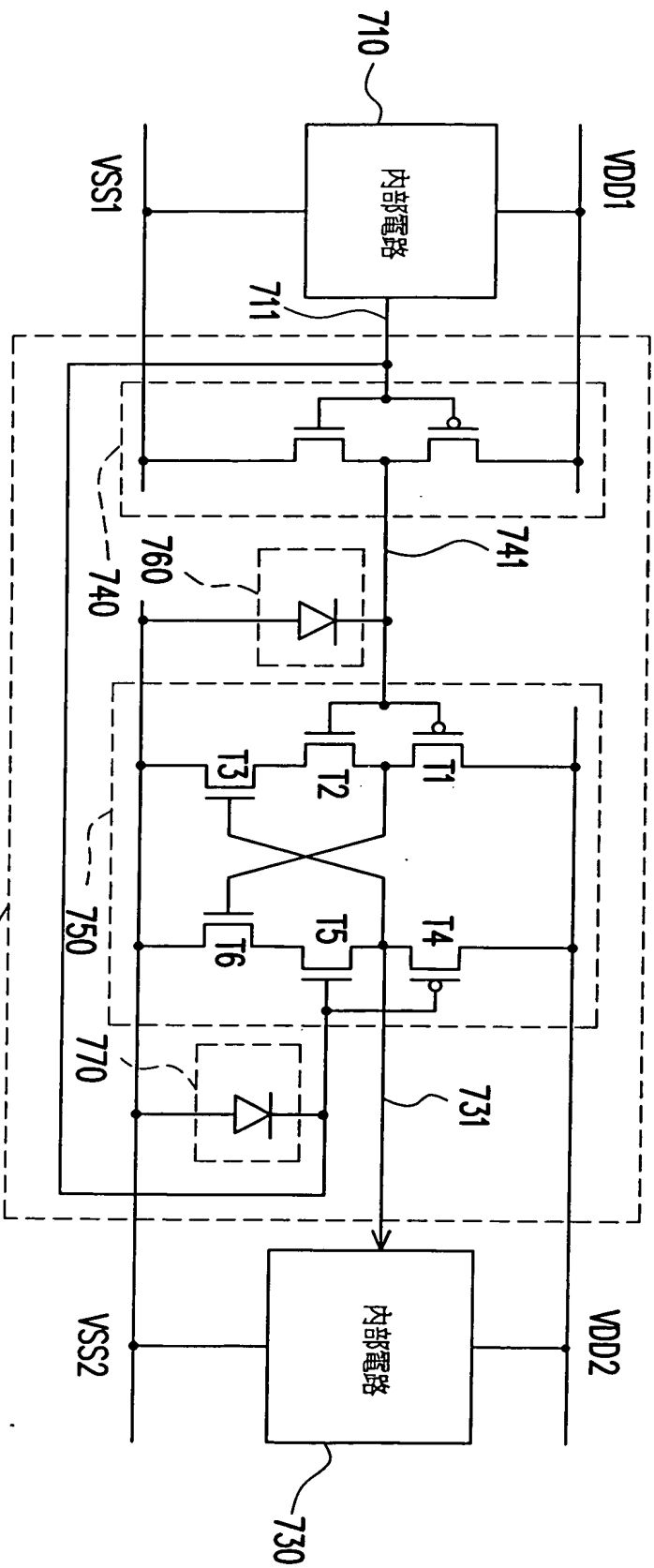


圖 7B

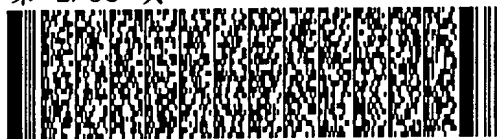
第 1/38 頁



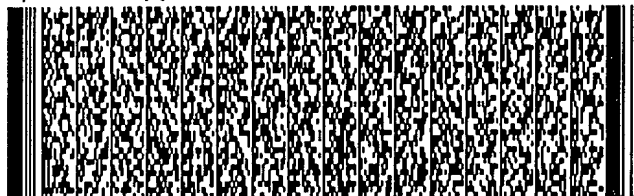
第 1/38 頁



第 2/38 頁



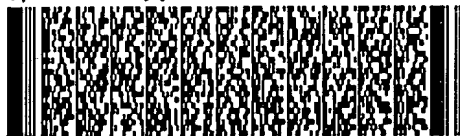
第 3/38 頁



第 4/38 頁



第 5/38 頁



第 6/38 頁



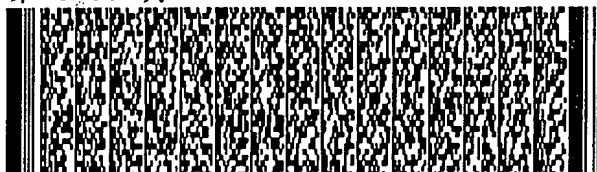
第 7/38 頁



第 8/38 頁



第 8/38 頁



第 9/38 頁



第 9/38 頁



第 10/38 頁



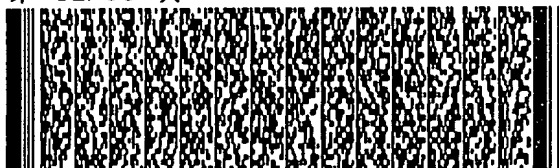
第 10/38 頁



第 11/38 頁



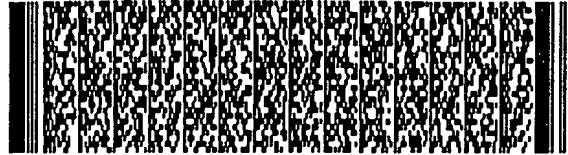
第 12/38 頁



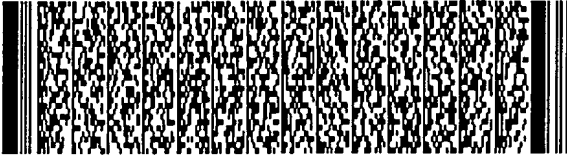
第 12/38 頁



第 13/38 頁



第 13/38 頁



第 14/38 頁



第 14/38 頁



第 15/38 頁



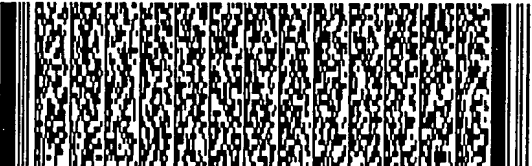
第 15/38 頁



第 16/38 頁



第 17/38 頁



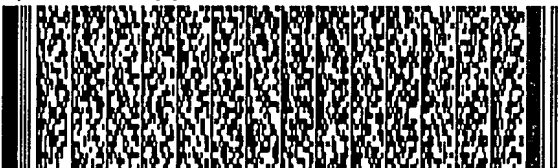
第 17/38 頁



第 18/38 頁



第 18/38 頁



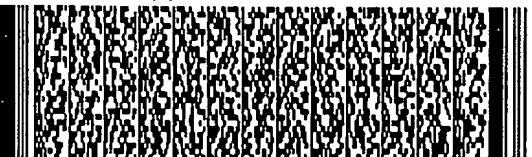
第 19/38 頁



第 19/38 頁



第 20/38 頁



第 20/38 頁





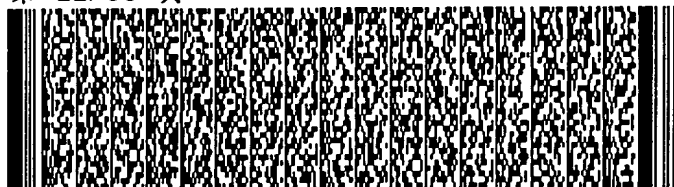
第 21/38 頁



第 21/38 頁



第 22/38 頁



第 23/38 頁



第 23/38 頁



第 24/38 頁



第 24/38 頁



第 25/38 頁



第 26/38 頁



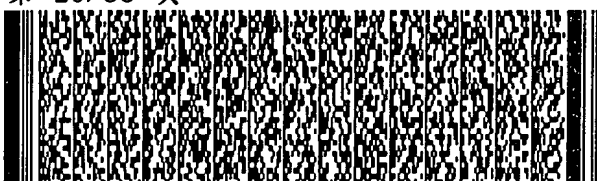
第 27/38 頁



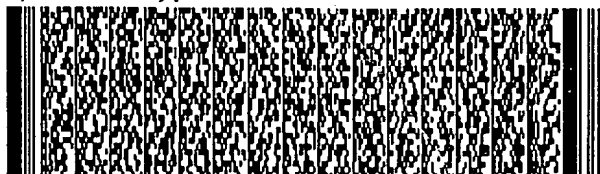
第 28/38 頁



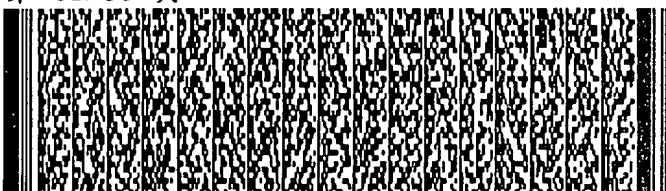
第 29/38 頁



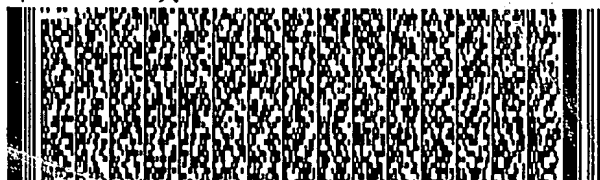
第 30/38 頁



第 31/38 頁



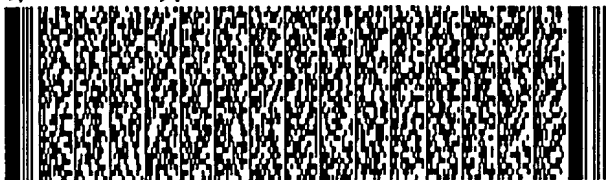
第 32/38 頁



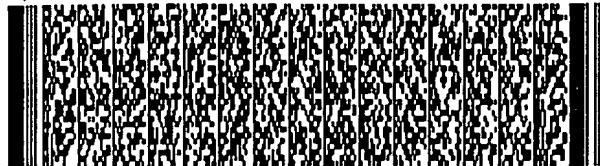
第 33/38 頁



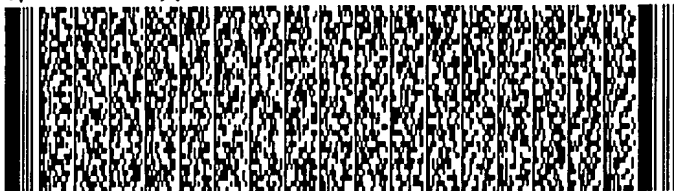
第 34/38 頁



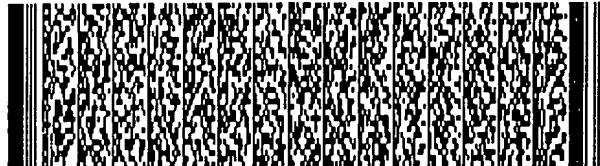
第 35/38 頁



第 36/38 頁



第 37/38 頁



第 38/38 頁

